

Patent Laid-Open Number: **58-143389**
Laid-Open Date: August 25, 1983
Application Number: 57-25565
Application Date: February 19, 1982
IPC: G 09 G 3/36
Request for Examination: Not made
Inventor: H. Hoshi
Applicant: Daini Seikosha Corp.
Title of the Invention: IMAGE DISPLAY DEVICE

Specification

1. Title of the Invention

IMAGE DISPLAY DEVICE

2. Claims

(1) In an image display device wherein pixel electrodes are arranged in a matrix on a semiconductor layer formed on an insulation substrate of glass and the like or on a semiconductor substrate, and a transparent electrode on a translucent substrate, mounted above the pixel electrodes through liquid crystal, is made as an opposite electrode, the image display device characterized by comprising at least two switching elements and a one bit memory cell provided for one of the image electrodes.

(2) The image display device as claimed in claim 1 characterized in that each of input terminals of the two switching elements is connected in a one to one relationship to each of two signal lines to which signals with polarities

thereof opposite to each other are applied, respectively.

(3) The image display device as claimed in claim 1 or claim 2 characterized by comprising means for selecting between an AC voltage waveform applied state and a no voltage applied state in compliance with an output of the memory cell.

3. Detailed Description of the Invention

The present invention relates to an improvement of a fine dot image display device using liquid crystal.

A conventional image display device is shown in Fig. 1. The device is arranged by combining liquid crystal with a MOSFET array. In Fig. 1, a unit pixel is arranged by a MOSFET 1 formed in a semiconductor layer, a signal storing capacitor 2, and a liquid crystal cell 3. A basic operation of the device will be explained. First, the MOSFET is taken as that of a P channel and an negative pulse voltage as a gate signal is applied to a gate line x_i . This makes the FET 1 in a turned-ON state to allow an image signal applied to a signal line y_i to charge a capacitor 2 through the FET 1. When the negative pulse is disappeared, the FET 1 becomes in a turned-OFF state and a voltage charged in the capacitor 2 is held while being discharged through the liquid crystal cell and OFF-resistance of the FET to be continuously applied to the liquid crystal. Furthermore, the gate signals are line sequentially scanned from x_i as x_{i+1} , x_{i+2} , ..., and image signals corresponding to positions thereof are applied to signal lines y_i , y_{i+1} , ..., by which a whole image is displayed. At this time, the opposite electrode is a common transparent electrode affixed on the whole surface of the glass or the like, and reference numeral 4 in Fig. 1

denotes a common electrode terminal. Moreover, the common electrode is always kept at a certain potential. Incidentally, such an image display device, although it is best suited for displaying an image including half-tone or a moving picture, that is, a display of a television image, it was extremely unsuitable for displaying an image necessitating no half-tone display or a still picture. The reason for this is that a signal charged in the capacitor 2 is discharged through the liquid crystal cell 3 as explained before to rapidly lower the voltage across the capacitor unless a writing operation is always carried out, causing the voltage applied to the liquid crystal to change. This necessitates a writing operation to be always carried out even in the case where a still image is displayed, which requires electric power for always activating the whole circuit. For example, in order to carry out writing of a picture with 200 x 200 pixels at a rate of 60 pictures for every second, a maximum frequency of 2.5MHz is necessary to result in considerably large amount of power consumption. Writing 60 pictures for every second is a value necessary for driving the liquid crystal without generating any flicker. Moreover, it is necessary to feed an electric current to the signal line for charging the capacitor to result in a defect of causing inevitable increase in power consumption therefor.

Accordingly, it is an object of the present invention to provide an image display device which is suited for displaying an image necessitating no half-tone and a still image with a little amount of power consumption.

In the following, explanations of the invention will be carried out with drawings. Figure 2 shows an image display

device according to the invention. What form a unit pixel are switching transistors 5 and 6, a memory cell 7, a signal selection circuit 8, and a liquid crystal cell 9. In addition, a clock source 10 is provided for AC-driving the liquid crystal. Here, the switching transistors 5 and 6 are formed by MOS transistors. Furthermore, the memory cell 7 is formed by a flip-flop. The flip-flop, letting a signal with a high voltage level be "1" and a signal with a low voltage level be "0", has an output set as being "1" (or "0") when a signal of "1" is inputted. The output is held in a previous state until next "0" signal is inputted. When a signal of "0" is inputted, the flip-flop has an output set as being "0" (or "1") with the state then being maintained. In addition, the memory cell 7 is provided with two inputs terminal, a positive input terminal 7a that makes an output as being "1" when an input is "1" and a negative output terminal 7b that sets the output as being "1" when the input is "0". Further, the signal selection circuit 8 has an input to which a signal of the clock source 10 is inputted and, with the output of the memory cell 7 taken as a control signal, selectively outputs a signal in-phase with the input signal and a signal in opposite phase with the input signal. An output of the signal selection circuit 8 is connected to a pixel electrode 9a. Moreover, sources of the switching transistors 5 and 6 are connected to signal lines y_i and \bar{y}_i having polarities opposite to each other, respectively, and drains are connected to the positive input terminal 7a and the negative input terminal 7b of the memory cell 7, respectively. Now, an operation will be explained with the case taken as an example in which an output of the clock source 10 is connected to a common electrode terminal

11, an output and an input of the signal selection circuit 8 are made in opposite phase with each other when an output of the memory cell 7 is "1", and the output and the input of the signal selection circuit 8 are made in phase with each other when the output of the memory cell is "0". First, when a negative pulse is applied to the gate line x_i as a gate signal, the switching transistors (hereinafter abbreviated as s.Trs) 5 and 6 are brought into a turned-ON state to input items of image information applied to y_i and y_i to the positive input terminal 7a and the negative input terminal 7b of the memory cell 7 through the s.Trs 5 and 6, respectively. Thus, an output of the memory cell 7 is set as being "1" or "0" according to the items of image information. When the gate signal is disappeared, s.Trs 5 and 6 are brought into a turned-OFF state to make the memory cell keep holding the item of image information of "1" or "0" until a new item of image information is inputted. Therefore, until new items of image information are inputted in the next, all of the pixels keep holding items of image information being held at present however long the duration is. Moreover, in a pixel with an output of the memory cell being "1", the input and the output of the signal selection circuit 8 become in opposite phase with each other. Therefore, letting a power source voltage be V, a waveform of the clock source, that is, the common electrode potential and an output of the signal selection circuit, that is, the waveform of the pixel electrode become clocks in opposite phase with each other as denoted by 12a and 12b in Fig. 3A, respectively, by which an AC voltage 13a of $\pm V$ is applied to the liquid crystal 9 to make the pixel provided as a selected pixel. Meanwhile, in a pixel with an

output of the memory cell being "0", like in the above, clocks in phase with each other are provided as denoted by 12a and 12c in Fig. 3B. Hence, no voltage is applied to the liquid crystal 9 at all as denoted by 13b to make the pixel provided as a non-selected pixel. Therefore, it becomes possible to display an image without half-tone and the still image thereof with considerably low power. This is because all of driving circuits of the signal lines y_i , \bar{y}_i , y_{i+1} , y_{i+1} ... and the gate lines x_i , x_{i+1} ... can be deactivated only with activation of the clock source 10, and the frequency of the clock source 10 is normally taken as being on the order of 30Hz, which brings consumed power to be approximately zero. Moreover, the system is basically that of controlling the output of the memory cell without flowing current rather than that of charging a capacitor with a signal. This necessitates no current to flow in the signal lines at all to also reduce consumed power considerably. The system is further the one which applies the clock also to the common electrode side. Therefore, letting the power source voltage be V, an AC waveform with 2V of peak to peak can be applied to the liquid crystal to make it possible to lower the power source voltage compared with the voltage applied to the liquid crystal. This also makes it possible to achieve reduction in the consumed power. In addition, the display without half-tone allows all of peripheral driving circuits and image information processing circuits to be arranged with CMOSs to thereby make it possible to also considerably reduce consumed power in the whole system. Meanwhile, the image signals, being inputted to the memory cell via the two paths of the signal line y_i and the s.Tr 5, and the signal line \bar{y}_i

and the s.Tr 6, allows redundancy of the signal paths to become two times. This makes it possible to significantly reduce failure rate of the image due to breakage of the signal lines y_i and \bar{y}_i , and failure of the s.Trs 5 and 6 to considerably enhance yield of the display device.

A specific example of the image display device according to the invention is shown in Fig. 4. Namely, inverters 14 and 15 are used for the flip-flop for the memory cell with input and output terminals of the respective inverters 14 and 15 connected to each other, an input of the inverter 14 is taken as a positive input of the memory cell and connected to the s.Tr 5, an input of the inverter 15 is taken as a negative input of the memory cell and connected to the s.Tr 6, and an output of the inverter 15 is further taken as an output of the memory cell. Moreover, an exclusive-OR (hereinafter abbreviated as EOR) 16 is used as the signal selection circuit, the output of the above-described inverter 15, that is, the output of the memory cell is taken as one input of the EOR circuit 16, and the output of the clock source 10 is taken as the other input of the EOR circuit 16. Furthermore, the output of the EOR circuit 16 is to be connected to the pixel electrode 9a. By such an arrangement, when "1" is set in the memory cell, an AC voltage $\pm V$ is applied to the liquid crystal, while, when "0" is set in the memory cell, no voltage is made to be applied to the liquid crystal at all, by which entirely the same operation as that explained with reference to Fig. 2 can be carried out. Here, from the view point of reducing the consumed power, CMOS inverters are desirably used for the inverters 14 and 15. In Fig. 5, another example of the image display device according

to the invention. This is an example of using two transmission gates (hereinafter abbreviated as TG) 17 and 18 as the signal selection circuit. With the memory cell arranged with the inverters 14 and 15 in the same way as that in the example shown in Fig. 4, the output of the memory cell, that is, the output of the inverter 15, is connected to the n-channel side gate of the TG 17, the P-channel side gate of the TG 18, and the P-channel side gate of the TG 18. While, the input terminal of the inverter 15 is connected to the P-channel side gate of the TG 17 and the n-channel side gate of the TG 18. Moreover, the outputs of the TGs 17 and 18 are connected to the pixel electrode 9a with the outputs connected to each other, and the input terminal of the TG 18 is connected to the clock source 10 while being connected to the common electrode made in common to all of the pixels through an inverter 19. Such arrangement makes the TG 17 in a turned-ON state and the TG 18 in a turned-OFF state when the output of the memory cell is "1" to allow an AC voltage of $\pm V$ to be applied to the liquid crystal cell as shown in Fig. 3A. In the same way, when the output of the memory cell is "0", no voltage is applied to the liquid crystal cell. In Fig. 6, there is shown further another example of the image display device according to the invention. There are used TG 20 and 21 as the s.Trs. By using the TGs as the s.Trs, even though the power source voltage is lowered, the signals "1" and "0" can be surely transmitted. This makes it possible to enhance yield of the display device with redundancy of the signal path doubled even with reduced power source voltage.

In the examples shown in Fig. 4, Fig. 5, and Fig. 6, as the signal selection circuit, the EOR circuit or two TGs are

used. In effect, it is necessary only that the phase of the AC waveform applied to the pixel electrode when the output of the memory cell is provided as "1" can be made inverted when the output is provided as "0". The entirely same operation can be provided by a combination of AND circuits or a combination of OR circuits. Thus, this is of course in the same category of the invention. Moreover, an arrangement of a circuit by which an AC voltage of $\pm V$ is applied when the output of the memory cell is "0" also provides entirely the same operation. Thus the explanation thereof will be omitted.

With the use of the image display device according to the invention as above, there can be completely accomplished the original object of obtaining an image display device which is suited for the display of an image necessitating no half-tone and a still image thereof, and requires a little amount of consumed power. Namely, with an arrangement of a circuit being entirely digitized and all of peripheral circuits made turned-OFF except a clock source of the order of 30Hz when displaying a still image, considerable reduction in consumed power can be achieved. In addition, an AC-driving, being made possible regardless of whether the images are still images or moving images, allows the display device to be obtained as being excellent also in life and reliability. Furthermore, the two signal paths provided in parallel can considerably enhance yield of the display device. Therefore, by applying the invention to a fine dot character display device and a fine dot graphic display device, a beautiful display, lowered consumed power, a long life, high reliability and a high yield can be achieved at the same time to provide large industrial importance for

the invention.

4. Brief Description of the Drawings

Figure 1 is a circuit diagram showing a conventional image display device; Figure 2 is a circuit diagram showing an image display device according to the invention; Figures 3(A) and (B) are explanatory diagrams showing liquid crystal driving voltages in the image display device according to the invention; Figure 4 is a circuit diagram showing a specific example of the image display device according to the invention; Figure 5 is a circuit diagram showing another specific example of the image display device according to the invention; and Figure 6 is a circuit diagram showing further another specific example of the image display device according to the invention.

5, 6 .. switching transistor, 7 .. memory cell, 8 .. signal selection circuit, 9 .. liquid crystal cell, 10 .. clock source, 11 .. common electrode terminal, 12a, 12b, 12c .. clock waveform, 13a, 13b .. liquid crystal driving voltage waveform, 14, 15 .. inverter, 16 .. exclusive-OR, 17, 18, 20, 21 .. transmission gate, 19 .. inverter.

⑩ 公開特許公報 (A)

昭58-143389

55Int. CL.³
G 09 G 3/36

識別記号

厅内整理番号
7436-5C

⑥公開 昭和58年(1983)8月25日

発明の数 1
審査請求 未請求

(全 6 頁)

④画像表示装置

⑤特 願 昭57-25565

⑥出 願 昭57(1982)2月19日

⑦發 明 者 星美男

東京都江東区亀戸 6丁目31番1

号株式会社第二精工舎内

抄出 願 人 株式会社第二精工舎

東京都江東区亀戸 6丁目31番1

号

⑧代 理 人 弁理士 最上務

明細書

1. 発明の名称 画像表示装置

2. 発明の範囲

(1) ガラス等の絶縁基板上に形成された半導体層、または、半導体基板上に、行列状の電極が形成され、前記電極上に液晶を介して設置された透光性基板上の透明電極を対向電極とした画像表示装置にて、前記透明電極一個に対して、少なくとも二個のスイッチング素子と一ビットのメモリーセルを有していることを特徴とする画像表示装置。

(2) 前記二個のスイッチング素子の入力端子は、各々複数個が他の信号が印加された二本の信号ラインと一対一に接続されていることを特徴とする発明請求の範囲第1項記載の画像表示装置。

(3) 前記メモリセルの出力に応じて、交差電圧が形成され、電圧無印加状態を過渡する手順を具備したこととを特徴とする特許請求の範囲第1項、第2項記載の画像表示装置。

3. 発明の詳細な説明

本発明は、液体を用いた映像ディスプレイ画像表示装置の改良に関するものである。

従来の画像表示装置を第1図に示す。液晶をMOS型FETアレイを組み合わせて構成されている。図1 図に於て、単位画素を構成するのは、半導体層に形成されたMOS型アダプタ1、信号蓄積用コンデンサ2、及び液晶セル3である。この基本的な動作を説明する。まずMOS型アダプタ1をアタッチメントとし、ゲートライン31にゲート信号としての負のバルス電圧を印加すると、アダプタ1はオン状態となり、信号ライン32に印加した画像信号はアダプタ1を通してコンデンサ2に充電される。負のバルスが消散すれば、アダプタ1はオフ状態となり、コンデンサ2に充電された電圧は、液晶セル及びアダプタのオフ抵抗を通じて放電されながら保持され、液晶に印加されつづける。そして、ゲート信号をエミからエミ+、エミ+...と順次に走査し、その位置に対応した画像信号を信号ライン33、34...に印加することにより

り全体の画像が表示される。このとき対向電極はガラス等に全面に行けられた共通透明電極で、第1回の4が其通過電極子である。そして、共通電極は常にある電位に保たれていふ。さて、このよりな画像表示装置は、中間調を含む画像や動画を表示する場合すなわち、テレビ画像の表示などには満足であるが、中間調を必要としない静止像や、静止像の提示などにはきわめて不適当であつた。なぜならば、前述したようにコンデンサ2と光電管された信号は液晶セル3を通じて放電していくので、常に背込み動作を行なわないとコンデンサの両端の電圧がどんどん下がつてしまい、液晶にかかる電圧が変化してしまう。従つて、静止画像を表示する場合は常に背込み動作を行なう必要があり、常に画面全体を動かしておくれための電力が必要である。例えば、 200×200 画素の画面を毎秒60枚書き込むためには、最大周波数として約2.5MHzが必要となりかなり大きな電力を消費してしまう。尚、毎秒60枚の画像を書き込むというわけ、液晶を交流駆動してフレッカを

- 3 -

持し、“0”の信号が入力されると出力が“0”（または“1”）にセットされ、その状態が保持される。さらに、メモリセル7は、入力が“1”的とき出力が“1”となる正入力端子7aと、入力が“0”的とき出力が“1”にセットされる負入力端子7bの二つの入力端子を具備している。さらに信号選択回路8の入力にはクロシタ部10の信号が入力され、メモリセル7の出力を制御信号として、入力信号と同相の信号及び逆相の信号を選択的に出力するというものであり、信号選択回路8の出力は画面電極9と接続される。そして、スイッチングトランジスタ5、6のノーズは、それぞれ極性が並の信号線とおよび \bar{y} に接続され、ドレンはそれぞれメモリセル7の正入力端子7aおよび負入力端子7bに接続される。いまクロシタ部10の出力を共通電極端子11に接続し、メモリセル7の出力が“1”的とき信号選択回路8の入力と出力が逆相となるメモリセル7の出力が“0”的とき信号選択回路8の入力と出力が同相となる場合を例にとって動作を観察する。

- 5 -

-510-

生じさせないために必要を供する。さらに、コンデンサへの充電のため信号ラインに電流を流す必要があり、このための消費電力の増大も避けられないという欠点があつた。

そこで本発明は、中間調を必要としない静止、静止画像を表示するのに適した、消費電力が少ない画像表示装置を供することを目的とする。

以下列記とともに本発明の説明をしていく。

第2図に本発明の画像表示装置を示す。単位像素を構成するのは、半導体層に形成されたスイッチングトランジスタ5、6、メモリーセル7、信号選択回路8、液晶セル9である。そして、液晶を交換駆動するためのクロック駆動部を具備している。ここで、スイッチングトランジスタ5、6はMOSトランジスタで構成される。また、メモリセル7はフリップフロップで構成され、高い電圧レベルの信号を“1”、低い電圧レベルの信号を“0”とすると、“1”的信号が入力されると出力が“1”（または“0”）にセットされ、次に“0”的信号が入力されるまでつと前の状態を保

- 4 -

まず、データライン上にデータ信号として負のバルスを印加すると、スイッチングトランジスタ（以下8、T₁と略す）5、6はオフ状態となり信号ライセンジ \bar{y} （ \bar{y} に印加された画像情報はヨコ \bar{x} ） \bar{x} を通してメモリセル7の正入力端子7aと負入力端子7bに入力され、メモリセル7の出力は画像情報を応じて“1”または“0”にセットされる。データ信号が消滅すれば、8、T₁はオフ状態となり、メモリセルは次に新たな画像情報を入力されるまで、ずっと“1”または“0”的画像情報を保持しつづける。従つて、全ての画面は新らな情報を書き込まれるまでの間に長期間であつても、現在保持している画像情報を保持しつづける。そして、メモリセルの出力が“1”的画面は、信号選択回路8の入力と出力が逆相になるので、クロシタ部の状態つまり共通電極端子と、信号選択回路の出力つまり画面電極の状態は、電源電圧をV_Dとすると、それぞれ第3段Aの12a、12bに示すように逆相のクロシタとなり、液晶9には土アの交換電圧13a

- 6 -

が印加され、選択画面となる。一方、メモリセルの出力が“0”的画面は同様に、第3回目の24、12のよう回相のクロックとなるので、液晶9には13とのどく全く電圧が印加されず、お選択画面となる。従つて、中間調がない画像及びその停止画像を非常に少ない電力で表示することが可能となるのである。なぜならば、停止画像の場合、信号ラインを、 $y_{\bar{1}}, y_{\bar{2}}, y_{\bar{3}}, \dots$ とゲートラインを、 $\bar{x}_{\bar{1}}, \bar{x}_{\bar{2}}, \bar{x}_{\bar{3}}, \dots$ の駆動回路を全て停止してクロック源10のみ動作しておけば良いからであり、通常クロック源切り換え数は毎日2種類であるので、消費電力はほとんどゼロになる。また、コンデンサに信号を充電するという方式ではなく、基本的に電流を源さずにメモリセルの出力を制御するので、信号ラインに電流を保つ必要は全くなく、やはり消費電力は大幅に減る。さらに、共通電極にもクロックを印加する方式であるので、電源電圧を2Vとすると土V、つまりピクセルからピクセルまで2Vの交換波形を液晶に印加することができ、液晶にかかる電圧に比して、電源

-7-

電源電圧9Vと接続するというものである。このようない操作によりメモリセルに“1”がセットされた場合は、液晶に土Vの交流電圧が印加され、メモリセルに“0”がセットされた場合は液晶に全く電圧がかかるくなり第2段で説明したのと全く同じ動作をさせることができる。ここで、インバータ14、15は消費電力を低減するといふことから0M0Ωのインバータを用いるのが望ましい。第5回に本発明の画像表示装置の他の実施例を示す。信号選択回路として2つのトランジスタミッショングート【以下T0と略す】17、18を用いたものである。インバータ14、15によるメモリセルの構成は第4回の例と同様であるが、メモリセルの出力つかりインバータ15の出力をT017のルチャレンキル個ゲート及び、T018のFチャンネ

電圧を低くすることができるので、やはり消費電力の低減を進める。また、半開閉のない表示であるから、周辺駆動回路と駆動情報供給回路を立てつゝもことで構成することによりシステム全体としても大幅な消費電力の低減をはかることができる。一方画像供給は、信号ラインを $y_{\bar{1}}, y_{\bar{2}}, \dots, y_{\bar{5}}$ 、または信号ラインを $y_{\bar{1}}, y_{\bar{2}}, \dots, y_{\bar{6}}$ の二つの経路を追つてメモリセルに入力されるので、信号経路の冗長度が2倍になり信号ライン $y_{\bar{1}}, y_{\bar{2}}$ の断線や、 $y_{\bar{1}}, y_{\bar{2}}, \dots, y_{\bar{6}}$ の不良による画像の不良率は非常に小さくなり、表示装置の歩留りを大幅に向こへさせることができた。

第4回に本発明の画像表示装置の具体例を示す。すなはち、メモリセル用のプリップフロップとして、インバータ11、15を用いて、インバータ14、15の入、出力端子を互いに接続し、インバータ14の入力をメモリセルの正入力として、 $y_{\bar{1}}$ 、 $y_{\bar{2}}$ と接続し、さらにはインバータ15の入力をメモリセルの出力とする。そして、

-8-

ルチャレンキル及び、T018のFチャレンキル個ゲートに接続し、インバータ15の入力端子をT017のFチャレンキル個ゲート及び、T018のルチャレンキル個ゲートに接続する。そして、T017、18の出力を互いに接続して面選電極9Vと接続し、T018の入力端子は全面素地面上に共通電極と接続して、クロック源10と接続する。さらにはT017の入力端子は全面素地にして、インバータ10を介してクロック源10と接続する。このように構成することでより、メモリセルの出力が“1”的ときは、T017がオン状態、T018がオフ状態になるため、液晶セルには第3回のどくぐくマトリクスの交換電圧が印加され、同時にメモリセルの出力が“0”的ときは、液晶セルには電圧が印加されない。第6回に本発明の画像表示装置のさらに対応の実施例を示す。 $y_{\bar{1}}, y_{\bar{2}}$ としてT017、18を用いたものである。T0、T1としてT0を用いることにより、電源電圧を低くしても“1”と“0”的信号を駆動に過すので、電源電圧を低くしても信号経路の冗長度を2倍にして、表示装置の歩留りを上げること

-9-

-511-

-10-

とが可能となる。

第4回、第5回、第6回の例では信号選択回路として、8回路回路またに、T=2個を用いているが、裏するにメモリセルの出力が“1”的ときと“0”的とき、画像電圧が印加される交換部形の位相を反転させることで出来れば良いのであり、AND回路の組み合せを、OR回路の組み合せによつても全く同様の動作をさせることができるのであるから、これらも本発明の範囲に入るとはもちろんである。また、メモリセルの出力が“0”的ときに土台の交流電圧が印加される回路構成も全く同様であり、説明は省略する。

以上のような本発明の画像表示装置を用いることにより、中間部を必要としない直像及びその静止画像を表示するのに達した。消費電力が少なくてすむ画像表示装置を得るという当初の目的は完全に達成できる。すなわち、回路構成を全てデジタル的にすることと、静止画像表示時には約10%程度のクロック周波数を除いて周辺回路を全て停止させることで、大変な消費電力の低下が達成できる

- 11 -

- 12 -

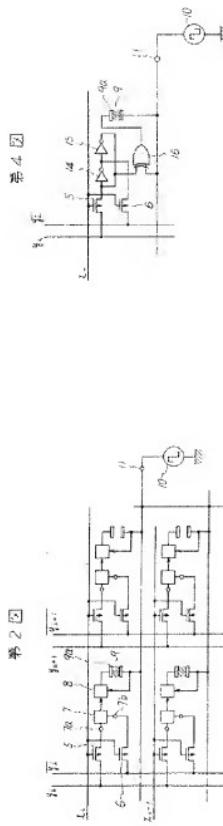
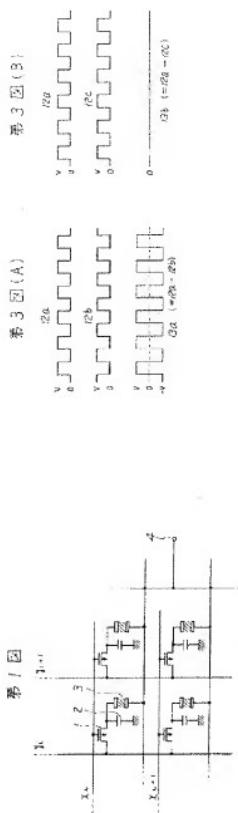
5 . 6 . . スイッチングトランジスタ、7 . .
メモリーセル、8 . . 信号選択回路、9 . . 線
品セル、10 . . クロックタップ、11 . . 共通電源端子、12 a , 12 b , 12 c . . クロック波形、13 a , 13 b . . 線品電動電圧波形、14 , 15 . . イン
バータ、16 . . 排他的論理和、17 , 18 , 20 , 21 . . トランスマッショングート、19 . . インバ
ータ。

以上

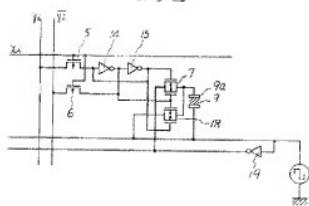
出願人 株式会社第二精工舎

代理人 井理士 勝上





第5回



第6回

